

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP4359520
Publication date: 1992-12-11
Inventor(s): KANO ISAO
Applicant(s):: NEC CORP
Requested Patent: ☐ JP4359520
Application Number: JP19910134555 19910606
Priority Number(s):
IPC Classification: H01L21/331 ; H01L29/73 ; H01L27/04
EC Classification:
Equivalents: JP3099419B2

Abstract

PURPOSE: To reduce the number of photoresist processes and to realize a transistor whose performance is good by a method wherein a lower-layer electrode for a capacitance element and a base lead-out electrode for the transistor are grown by a first polycrystalline silicon film and a capacitor insulating film is used to insulate the base lead-out electrode from an emitter electrode.

CONSTITUTION: In a method wherein a capacitance element used for an active pull-down circuit or the like, a high-performance bipolar transistor and a resistance element are formed, a lower-layer electrode 108b for the capacitance element, a base lead-out electrode 108a for the bipolar transistor and a first resistance film 108c whose layer resistance is the same as that of the base lead-out electrode 108a are formed simultaneously. An upper-layer electrode 111b for the capacitance element and a second resistance film 111a are formed simultaneously; a capacitor insulating film 109 is used as one part of an insulating film between the base lead-out electrode 108a and an emitter electrode 122. As a result, the number of photoresist processes can be reduced by two process as compared with that in conventional cases.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-359520

(43) 公開日 平成4年(1992)12月11日

(51) Int.Cl.⁵

H 0 1 L 21/331

29/73

27/04

識別記号

序内整理番号

F I

技術表示箇所

C 8427-4M

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数2(全 9 頁)

(21) 出願番号 特願平3-134555

(22) 出願日 平成3年(1991)6月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鹿野 功

東京都港区芝五丁目7番1号日本電気株式会社内

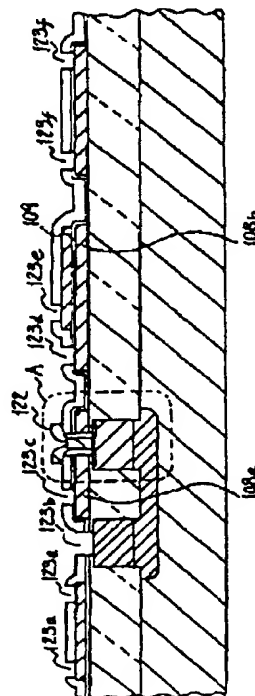
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【構成】容量素子の下層電極108b、トランジスタのベース引出電極108aを第1の多結晶シリコン膜で成長し、容量絶縁膜109をベース引出電極108aとエミッタ電極122間の絶縁に用いる。

【効果】フォトリソ工程が二工程少なくてできる。



1

【特許請求の範囲】

【請求項1】 第1導電型半導体基板、前記第1導電型半導体基板上に設けられた第2導電型エピタキシャル層および前記第1導電型半導体基板と前記第2導電型エピタキシャル層の境界部に選択的に形成された高濃度第2導電型埋込層を有する半導体基体を準備する工程と、素子分離絶縁膜を選択的に形成することによって前記第2導電型エピタキシャル層を区画してコレクタ領域およびコレクタ引出領域を形成する工程と、前記コレクタ領域およびコレクタ引出領域上に第1の絶縁膜を形成し前記コレクタ引出領域に第2導電型不純物をドーピングして高濃度コレクタ引出領域を形成する工程と、第1導電型不純物をドーピングした第1の多結晶シリコン膜を形成しパターニングすることにより前記コレクタ領域上とその近傍にベース引出電極を、前記ベース引出電極の隣りに容量素子の下層電極を、前記下層電極の隣に第1の抵抗膜をそれぞれ形成する工程と、第2の絶縁膜を形成し酸化性雰囲気中で熱処理を施して容量絶縁膜を形成する工程と、第1導電型不純物をドーピングした第2の多結晶シリコン膜を形成しパターニングすることにより前記高濃度コレクタ引出領域直上部に隣接する第2の抵抗膜および前記下層電極上に前記容量絶縁膜を介して容量素子の upper 電極を形成する工程と、第3の絶縁膜をその上に形成する工程と、異方性エッチングによって、前記コレクタ領域上の前記第3の絶縁膜および前記ベース引出電極を選択的に除去して、第1の窓を形成する工程と、前記第3の絶縁膜をマスクとして前記第1の絶縁膜をエッチングし、前記ベース引出電極下に底ができる様サイドエッチングする工程と、全面に第3の多結晶シリコン膜を前記底が埋設される厚さに形成する工程と、熱酸化とエッチングにより前記底部以外の前記第3の多結晶シリコン膜を除去する工程と、前記ベース引出電極に含有する不純物を前記第3の多結晶シリコン膜を通して導入することによりグラフトベース領域を形成する工程と、前記第1の窓内に第1導電型不純物を導入して、前記グラフトベース領域に接続したベース領域を形成する工程と、全面に第4の絶縁膜を形成しかつ、前記第4の絶縁膜を前記第1の窓の側面の部分が残る様に異方性エッチングにより除去して前記第1の窓の内側に第2の窓を開孔する工程と、前記第2の窓を第4の多結晶シリコン膜で覆い、この第4の多結晶シリコン膜を通して前記ベース領域の表面に不純物を導入してエミッタ領域を形成する工程と、前記ベース引出電極部、前記容量素子の upper 電極および下層電極部、前記第1、第2の抵抗膜部にそれぞれ開孔を設け配線を施す工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 第1導電型半導体基板はP型シリコン基板である請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特にアクティブ・プルダウン回路等に用いられる容量素子と高性能バイポーラトランジスタの製法に関する。

【0002】

【従来の技術】 エミッタ・カップルド・ロジック（ECL）回路の高速化の手段として図10に示す様なアクティブ・プルダウン回路が提案されているが、本回路を形成する為には、容量Cxが必要となる。

【0003】 この容量の形成方法について説明する。P型ベース引出電極となる多結晶シリコン膜に開孔部を形成しその内側にベース領域、エミッタ領域を自己整合的に形成するバイポーラトランジスタを使用する場合について説明する。

【0004】 まず、図5（a）に示すように、P型シリコン基板301上にN⁻型埋込層302、N型エピタキシャル層303を形成し素子分離絶縁膜304で絶縁分離し、このようにして分離されたN型エピタキシャル層の一領域であるコレクタ領域303a、コレクタ引出領域306上に開孔部を設け、コレクタ領域303a上及び隣接する素子分離絶縁膜304上にP⁺型多結晶シリコン膜325pをコレクタ引出領域306を形成する部分上に第1のN⁻型多結晶シリコン膜325nを形成する。この場合、まずノンドープ多結晶シリコン膜を堆積し、フォトリソist膜をマスクにしてP型不純物イオンを注入したのち、パターニングをしP⁺型多結晶シリコン膜325pを形成し、残りのノンドープ多結晶シリコン膜にN型不純物イオンを注入して第1のN⁻型多結晶シリコン膜325nとするのである。

【0005】 その後全面に第1の窒化シリコン膜326を厚さ50～100nm、第1の酸化シリコン膜327を厚さ100～150nm、第2の窒化シリコン膜328を厚さ100～200nm、順次形成し、エミッタ形成予定部上の第2の窒化シリコン膜328、第1の酸化シリコン膜327、第1の窒化シリコン膜326、P⁺型多結晶シリコン膜325pを順次除去し、開孔部を形成した後P⁺型多結晶シリコン膜325p中からN型エピタキシャル層（303a）中に不純物を拡散しグラフトベース領域317を形成し、続いて開孔部内にイオン注入時の緩衝材となる第2の酸化シリコン膜318を形成した後、イオン注入法によりP型不純物を導入してベース領域319を形成する。その後全面に窒化シリコン膜を厚さ150～300nm形成した後、異方性エッチングによりエッチバックし前述の開孔部内にもみ側壁窒化シリコン膜329を残存させ、続いて露出した第2の酸化シリコン膜318を除去する。

【0006】 その後、容量形成のためフォトリソグラフィ技術を用い、フォトリソist膜330をマスクに異方性エッチングにより第2の窒化シリコン膜328を除去し、続いて弗酸系のエッチング液により、第1の酸化シ

3

リコン膜327を除去し容量部開孔331を形成する。その後、図11(b)に示すように、ベース領域319上の開孔部及び容量部開孔331上に第2のN⁺型多結晶シリコン膜332c、332eを形成し、ベース領域319にN型不純物を拡散しエミッタ領域324を形成し最後にコレクタ及びベースコンタクト部に開孔部323b、323cを形成する。このようにして図10に示すアクティブ・プルダウン回路の点線枠内に示す容量素子Cx及びNPNトランジスタQxが形成される。

【0007】なお、図示しないが、電源回路や入出力回路に抵抗素子が必要となるが、それには例えばP⁺型多結晶シリコン膜325pと同時に形成される多結晶シリコン膜を用いるか、又は別工程で形成すればよい。

【0008】

【発明が解決しようとする課題】前述した従来の容量素子及びバイポーラトランジスタの形成方法では、素子分離工程からコンタクト開孔工程までに層抵抗がベース引出部と異なる抵抗一種の形成も含めた場合に少なくとも7回のフォトリソ工程が必要である。

【0009】すなわち、コレクタ引出領域及びコレクタ領域上の絶縁膜への開孔工程P⁺型多結晶シリコン膜形成のためのイオン注入工程、多結晶シリコン膜のパターニング工程、第1のN⁺型多結晶シリコン膜形成のためのイオン注入工程、エミッタ形成予定部上への開孔形成工程、容量部開孔の形成工程及びエミッタ電極(第2のN⁺型多結晶シリコン膜)のパターニング工程の7回である。

【0010】又、容量部開孔形成のためのフォトリソグラフィ工程の際にベース領域表面がレジスト膜に接触するためベース領域中にレジスト膜中から重金属等がとり込まれトランジスタ特性を悪化させる恐れがある。

【0011】又、容量絶縁膜の厚さも窒化シリコン膜を用いた場合80nm程度より薄くした場合には、容量絶縁膜の信頼度がわるくなる。開孔工程後に酸化性雰囲気中で熱処理できればもっと薄くても問題ないが、本プロセスでは、既にベース表面に開孔がもうけられているので採用できない。

【0012】従って、所望の容量値を得るためには(通常アクティブ・プルダウン回路のCxとしては、100~150fF程度必要と云われている)、例えば120nmの窒化シリコン膜を用い、容量絶縁膜のバラツキを考慮して125fFに設計したとすると容量の面積は、283 μm^2 も必要となる。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、第1導電型半導体基板、前記第1導電型半導体基板上に設けられた第2導電型エピタキシャル層および前記第1導電型半導体基板と前記第2導電型エピタキシャル層の境界部に選択的に形成された高濃度第2導電型埋込層を有する半導体基体を準備する工程と、素子分

4

離絶縁膜を選択的に形成することによって前記第2導電型エピタキシャル層を区画してコレクタ領域およびコレクタ引出領域を形成する工程と、前記コレクタ領域およびコレクタ引出領域上に第1の絶縁膜を形成し前記コレクタ引出領域に第2導電型不純物をドーピングして高濃度コレクタ引出領域を形成する工程と、第1導電型不純物をドーピングした第1の多結晶シリコン膜を形成しパターンニングすることにより前記コレクタ領域上とその近傍にベース引出電極を、前記ベース引出電極の隣りに容量素子の下層電極を、前記下層電極の隣に第1の抵抗膜をそれぞれ形成する工程と、第2の絶縁膜を形成し酸化性雰囲気中で熱処理を施して容量絶縁膜を形成する工程と、第1導電型不純物をドーピングした第2の多結晶シリコン膜を形成しパターンニングすることにより前記高濃度コレクタ引出領域直上部に隣接する第2の抵抗膜および前記下層電極上に前記容量絶縁膜を介して容量素子の上層電極を形成する工程と、第3の絶縁膜をその上に形成する工程と、異方性エッチングによって、前記コレクタ領域上の前記第3の絶縁膜および前記ベース引出電極を選択的に除去して、第1の窓を形成する工程と、前記第3の絶縁膜をマスクとして前記第1の絶縁膜をエッチングし、前記ベース引出電極下に庇ができるサイドエッチングする工程と、全面に第3の多結晶シリコン膜を前記庇が埋設される厚さに形成する工程と、熱酸化とエッチングにより前記底部以外の前記第3の多結晶シリコン膜を除去する工程と、前記ベース引出電極に含有する不純物を前記第3の多結晶シリコン膜を通して導入することによりグラフトベース領域を形成する工程と、前記第1の窓内に第1導電型不純物を導入して、前記グラフトベース領域に接続したベース領域を形成する工程と、全面に第4の絶縁膜を形成しかつ、前記第4の絶縁膜を前記第1の窓の側面の部分が残る様に異方性エッチングにより除去して前記第1の窓の内側に第2の窓を開孔する工程と、前記第2の窓を第4の多結晶シリコン膜で覆い、この第4の多結晶シリコン膜を通して前記ベース領域の表面に不純物を導入してエミッタ領域を形成する工程と、前記ベース引出電極部、前記容量素子の上層電極および下層電極部、前記第1、第2の抵抗膜部にそれぞれ開孔を設け配線を施す工程とを含むものである。

【0014】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0015】図1(a)、(b)~図6(a)、(b)、図7および図8は、本発明の第1の実施例を説明するための工程順断面図である。

【0016】まず、図1(a)に示すように、P型シリコン基板101上にN⁺型埋込層102、N型エピタキシャル層を形成した半導体基体を準備し、その後素子分離絶縁膜104で素子分離を行い、コレクタ領域103

a, コレクタ引出領域103bを区画する。また素子分離絶縁膜104で囲まれた領域に第1の絶縁膜105を形成する。N型エピタキシャル層103, 素子分離絶縁膜104, 第1の絶縁膜はそれぞれ0.5~1.0 μ m, 0.5~1.0 μ m, 0.02~0.06 μ mの厚さに形成される。

【0017】次に、図1(b)に示すように、例えばフォトレジスト膜107をマスクとしてN型の不純物をイオン注入法によりコレクタ引出領域103bに導入してN型コレクタ引出領域106を形成する。次に、図2(a)に示すように、全面に第1の多結晶シリコン膜108を形成しP型不純物としてボロンをイオン注入法等により第1の多結晶シリコン膜108中へ導入する。第1の多結晶シリコン膜の厚さは、100~250nm、ボロンのイオン注入は、30~50keVで $1\sim5\times 10^{15}/\text{cm}^2$ 程度にする。これにより低いベース引き出し抵抗を得られる。注入エネルギーが高すぎると第1の多結晶シリコン膜108を突き抜け、N型エピタキシャル層103内に不純物が導入されるため注意が必要である。

【0018】次に図2(b)に示すように、フォトレジスト膜(図示せず)をマスクとしてエッチングしベース引出電極108a、容量素子の下層電極130b、第1の抵抗膜108cを形成する。

【0019】次に図3(b)に示すように全面に容量絶縁膜109を形成するためまず窒化シリコン膜を厚さ10~50nm程度第2の絶縁膜として形成したのち、酸化性雰囲気中で熱処理を実施し薄い窒化シリコン膜のピンホール部分に酸化シリコン膜を成長させる。その後さらに全面に第2の多結晶シリコン膜110を形成した後P型またはN型不純物をイオン注入法等により第2の多結晶シリコン膜110中に導入する。第2の多結晶シリコン膜110の厚さは、100~200nmとし、例えばボロンを注入エネルギー30keVで導入する。ドーズ量は、第1の抵抗膜108cと異なる層抵抗になる様回路定数等を考慮して選ばれよう。

【0020】次に図3(b)に示す様に、フォトレジスト膜(図示せず)をマスクとしてエッチングし容量素子の上層電極111b、第2の抵抗膜111aを形成する。

【0021】次に図4(a)に示すように全面に第3の絶縁膜112を形成する。第3の絶縁膜は、例えば窒化シリコン膜を150~300nm程度形成する。次に図4(b)に示すように、フォトレジスト膜113をマスクとして、第3の絶縁膜112、容量絶縁膜109、ベース引出電極108aを異方性エッチングにより順次選択的に除去し、コレクタ領域103b上に第1の窓114を形成する。

【0022】次に図5(a)に示すように、ベース引出電極108aの下部に位置する薄い第1の絶縁膜105

を等方性ウェットエッチングにより適量サイドエッチングする。このサイドエッチング量によりグラフトベース部分の幅が決定される。このようにして形成された底部分115のたて横の比が4以上になると次の工程での第3の多結晶シリコン膜の埋設が困難となるので第1の絶縁膜105の厚さが50nmの場合サイドエッチング量は150nm程度が望ましい。

【0023】次に図5(b)に示すように、第3の多結晶シリコン膜116を底部115を埋設する様25~50nm位の厚さに形成する。

【0024】次に図6(a)に示すように、底部以外の第3の多結晶シリコン膜を熱酸化により酸化シリコン膜に変換した後、ウェットエッチングにより除去する。この熱酸化と同時に又は改めて行う熱処理により、第1の多結晶シリコン膜(108a)に含有するボロンを第3の多結晶シリコン膜116を通して導入することにより、グラフトベース領域117を形成する。後者の場合には、図6(b)に示すように、酸化シリコン膜118が形成される。

【0025】次に、前述した第1の窓内に不純物(例えばB, BF₂)を導入して、グラフトベース領域に接続したベース領域119を形成するとともに、全面に第4の絶縁膜120を形成し異方性エッチングにより第1の窓の内側に第2の窓121が形成されるようにエッチングする。このとき、第4の絶縁膜120がスペーサとして残る。

【0026】次に、図7及び図8(図7のA部拡大図である)に示すようにこの第2の窓を第4の多結晶シリコン膜122で覆い、この第4の多結晶シリコン膜を通してベース領域119の表面にN型の不純物(例えばAs, P)を導入してエミッタ領域124を形成するとともに、第4の多結晶シリコン膜122をフォトレジスト膜をマスクとして第2の窓とその近傍以外から除去したのち、ベースコンタクト孔123c、コレクタコンタクト孔123b、容量素子コンタクト孔123a, 123e, 抵抗素子コンタクト孔123a, 123fを別のフォトレジスト膜をマスクとして同時に開孔する。

【0027】図9(a)は本発明の第2の実施例の説明に使用する平面図、図9(b)は図9(a)のX-X線断面図である。

【0028】本実施例では、第1の多結晶シリコン膜のパターン形成の際に容量を増加させる目的で容量素子の下層電極208bを短冊状に細分化している。これにより、第1の実施例に比べ同一平面積当たりの容量が増加する。

【0029】

【発明の効果】以上説明したように、本発明は、アクティブ・プルダウン回路等に用いられる容量素子、及び高性能バイポーラトランジスタ、抵抗素子の形成方法として、容量素子の下層電極とバイポーラトランジスタのベ

ース引出電極及びベース引出電極と同一層抵抗を有する第1の抵抗膜を同時に形成し、容量素子の上層電極と第2の抵抗膜を同時に形成して、かつ容量絶縁膜をベース引出電極とエミッタ電極の間の絶縁膜の一部として用いるため、従来の製造方法に比べ少なくともフォトリソ工程が二工程減少できる。すなわち、本発明の場合、従来例で7回必要であったフォトリソ工程が、コレクタ引出領域部へのイオン注入工程、第1の多結晶シリコン膜のパターニング工程、第2の多結晶シリコン膜のパターニング工程、第1窓形成工程、エミッタ電極のパターニング工程の5工程となる。又、エミッタ領域形成時にベース領域にフォトリソ膜を接触させないでよいので性能のよいトランジスタを実現できる。

【0030】又、従来例では、容量素子の上層電極をエミッタ電極と共用していたために、容量絶縁膜を熱酸化で補強することができなかったため、容量絶縁膜厚は、歩留り信頼性を考慮すると80nm程度以下の厚さにするのが困難であったが、本実施例では、10～50nm程度にすることも可能となる。これは、容量素子の小型化及び低寄生容量化、低寄生抵抗化にも効果がある。

【0031】又、従来技術により第2の抵抗膜を形成する場合を考えると、ベース引出電極と同一工程で形成するのが常識的であるが、その場合、第2の抵抗膜とベース引出電極との間には少なくともホトリソグラフィの限界値以上の距離をとる必要があったが、本発明では、別々の層で形成するため、ホトリソグラフィの限界に無関係に配置可能となる。これは、素子密度の向上及び設計の自由度が高くなるという副次的効果ももたらすことになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明に使用する断面図である。

【図2】本発明の第1の実施例の説明に使用する断面図である。

【図3】本発明の第1の実施例の説明に使用する断面図である。

【図4】本発明の第1の実施例の説明に使用する断面図である。

【図5】本発明の第1の実施例の説明に使用する断面図である。

【図6】本発明の第1の実施例の説明に使用する断面図である。

【図7】本発明の第1の実施例の説明に使用する断面図である。

【図8】本発明の第1の実施例の説明に使用する断面図である。

【図9】本発明の第2の実施例の説明に使用する平面図及び断面図である。

【図10】ECL回路の回路図である。

【図11】従来の技術の説明に使用する断面図である。

【符号の説明】

- 101, 201, 301 P型シリコン基板
- 102, 302 N⁺型埋込層
- 103a, 303a コレクタ領域(N型エピタキシャル層)
- 103b コレクタ引出領域(N型エピタキシャル層)
- 104, 204 素子分離絶縁膜
- 105 第1の絶縁膜
- 106, 306 N⁺型コレクタ引出領域
- 107 フォトリソ膜
- 108 第1の多結晶シリコン膜
- 108a ベース引出電極
- 108b, 208b 容量素子の下層電極
- 108c 第1の抵抗膜
- 109, 209 容量絶縁膜
- 110 第2の多結晶シリコン膜
- 111a 第2の抵抗膜
- 111b, 211b 容量素子の上層電極
- 112, 212 第3の絶縁膜
- 113 フォトリソ膜
- 114 第1の窓
- 115 底部
- 116 第3の多結晶シリコン膜
- 117 グラフトベース領域
- 118, 318 酸化シリコン膜
- 119, 319 ベース領域
- 120 第4の絶縁膜
- 121 第2の窓
- 122 第4の多結晶シリコン膜
- 123a 第2の抵抗素子のコンタクト孔
- 123b, 323b コレクタコンタクト孔
- 123c, 323c ベースコンタクト孔
- 123d, 223d 下層電極コンタクト孔
- 123e, 223e 上層電極コンタクト孔
- 123f 第1の抵抗素子のコンタクト孔
- 124, 324 エミッタ領域
- 325n N⁺型多結晶シリコン膜
- 325p P⁺型多結晶シリコン膜
- 326 第1の窒化シリコン膜
- 327 第1の酸化シリコン膜
- 328 第2の窒化シリコン膜
- 329 酸化シリコン膜(スペーサ)
- 330 フォトリソ膜
- 331 容量部開孔
- 332c, 332e 第2のN⁺型多結晶シリコン膜
- Q1～Q5, Qx NPNトランジスタ

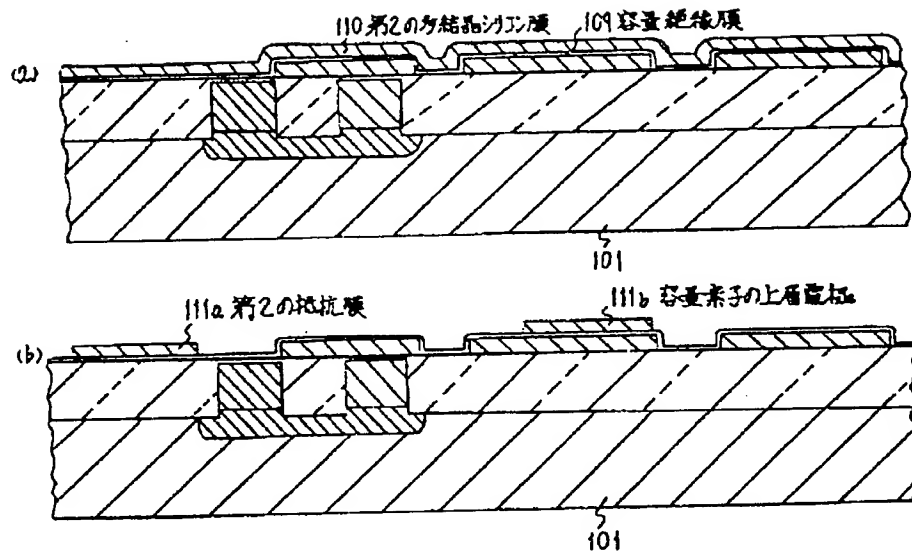
(a) 108 第1の多結晶シリコン膜

101

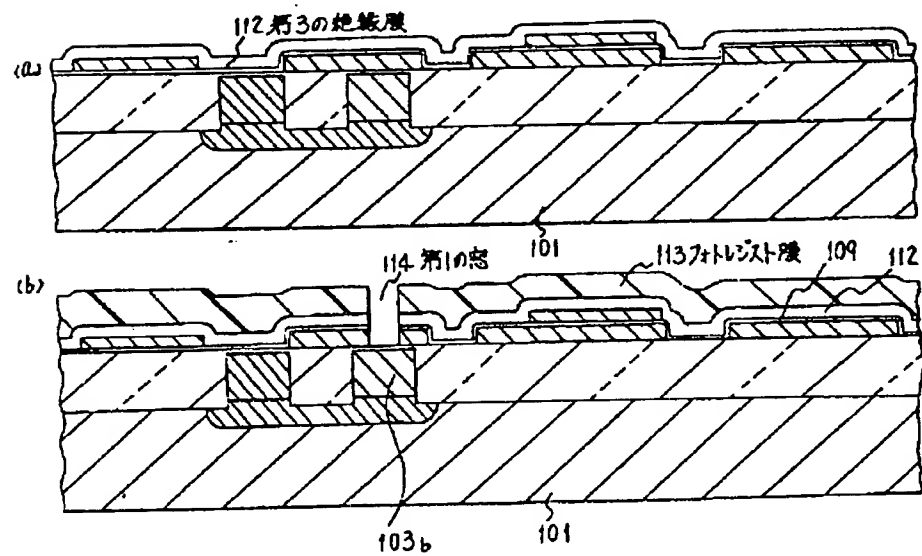
(b) 108a ベース引出電極 108b 受素子の下層電極 108c 第2の多結晶シリコン膜

101

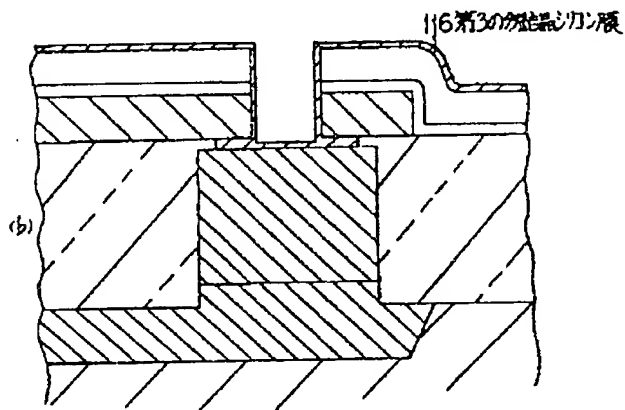
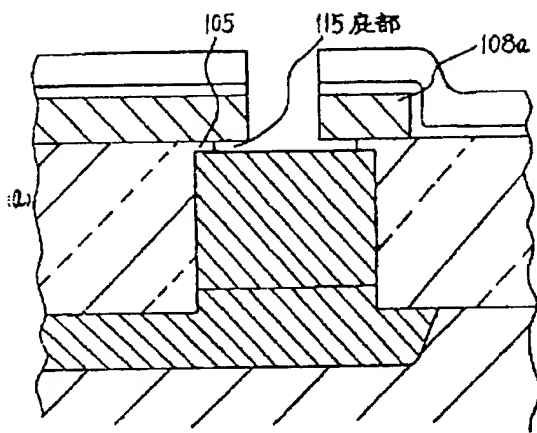
【図3】



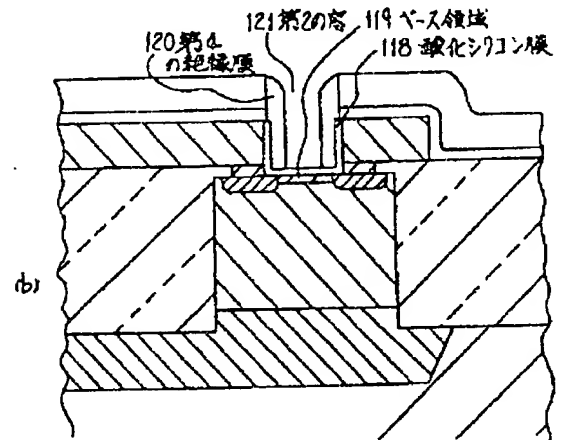
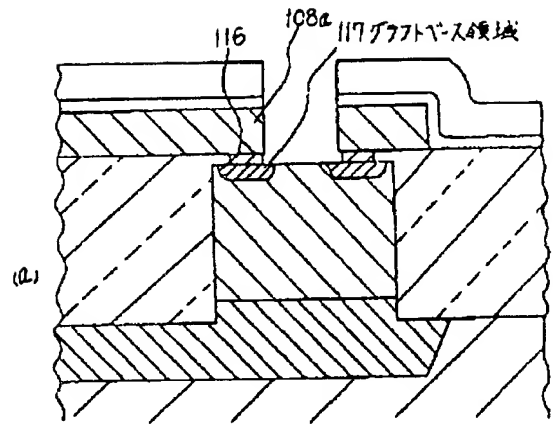
【図4】



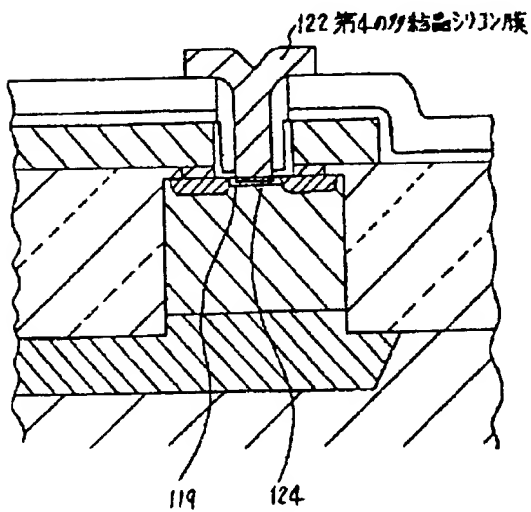
【図5】



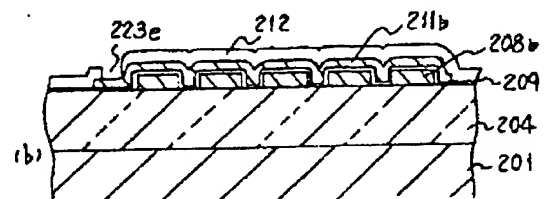
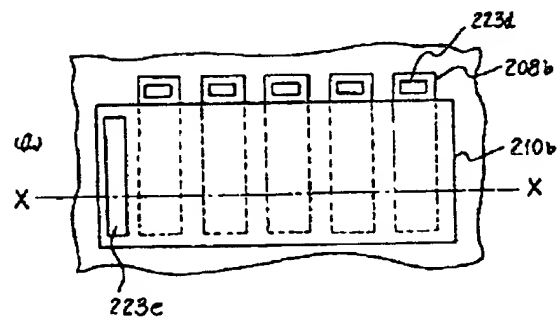
【図6】



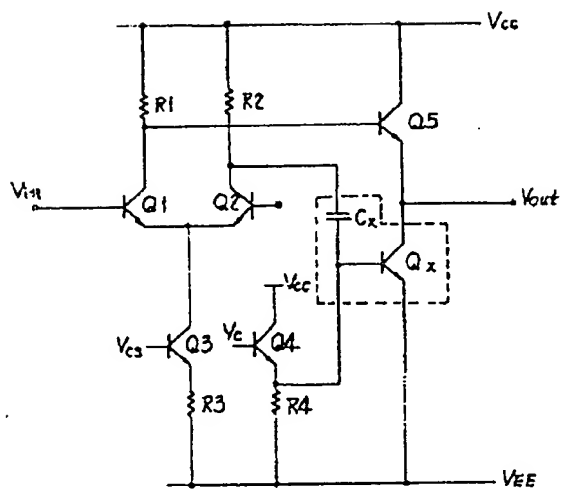
【図8】



【図9】



【図10】



【図11】

